

#4

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-232039

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月16日

G 06 F 12/16  
G 06 K 19/07  
G 11 C 11/413  
H 04 N 5/907

3 1 0 K

7737-5B

B

6957-5C

8323-5B

6711-5B

G 11 C 11/34

G 06 K 19/00

3 4 1 C

J

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 メモリカード装置

⑯ 特 願 平2-286973

⑰ 出 願 平2(1990)10月26日

優先権主張 ⑱ 平1(1989)10月26日 ⑲ 日本(JP) ⑳ 特願 平1-277208

㉑ 発 明 者 長 崎 達 夫 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

㉒ 出 願 人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

㉓ 代 理 人 弁理士 坪 井 淳 外2名

# 明 細 書

## 1. 発明の名称

メモリカード装置

## 2. 特許請求の範囲

(1) 半導体メモリを記憶媒体とするメモリカード装置において、

半導体基板の一主面上に形成されるメモリシェルの形成時に発生する正常動作を妨げる欠陥の予想される数に対応して必要とする記憶容量を有するように製造された所定ウエハーサイズの半導体メモリと、

前記半導体メモリから所望する情報の読出し動作及び、該半導体メモリへの情報の書き込み動作を制御する制御手段と、

前記半導体メモリに格納する情報信号に誤り訂正符号を付加して前記半導体メモリに記録する誤り訂正符号付加回路と、

前記半導体メモリから読み出される前記誤り訂正符号が付加された情報信号をその誤り訂正符号を用いて誤り訂正して出力する誤り訂正回路とを

具備することを特徴とするメモリカード装置。

(2) 前記半導体メモリが、スタティック形ランダムアクセスメモリ(SRAM)で構成される請求項(1)記載のメモリカード装置。

(3) 前記半導体メモリが、EEPROMで構成される請求項(1)記載のメモリカード装置。

(4) 前記半導体メモリに記録される情報信号が、多数枚分のディジタルスチル画像の画像信号からなることを特徴とする請求項(1)記載のメモリカード装置。

(5) 前記制御手段が前記半導体メモリに格納される情報信号と、該情報信号に付加される誤り訂正符号とを前記半導体メモリに同時に記録するようにそれぞれのアドレス信号を交換する手段を具備したことを特徴とする請求項(1)記載のメモリカード装置

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、記録媒体が半導体メモリで構成されるメモリカード装置に係り、特に電子スチルカメ

BEST AVAILABLE COPY

ラで撮像されたデジタルスチル画像を記録するのに好適するメモ리카ード装置に関する。

(従来の技術)

一般に、被写体像を固体撮像素子を用いて電子的に撮像し、その電子スチル画像信号を磁気記録媒体や半導体メモリを用いた記録媒体に記録する装置として電子スチルカメラがある。

例えば、このような電子スチルカメラは、光学系レンズと、前記光学系レンズによって結像される被写体像を画素毎にその光量に応じた信号電荷に光電変換する電化結合素子(CCD)等の固体撮像素子と、前記固体撮像素子によって電子的に撮像された電子スチル画像信号を時系列に読出して、記録媒体に画像単位で順次記録させて保存するための信号処理回路部とにより構成されている。

また、前記電子スチルカメラには、所定の記録媒体に記録する電子スチル画像信号にY/C分離等処理を施す為の画像信号プロセッサを組み込むこともできる。

そして前記記録媒体は、電子スチルカメラから

着脱できる構造にされており、前記電子スチルカメラ本体に装着されて電子スチル画像信号が記録された後、前記電子スチルカメラ本体から取り出されて所定の画像再生装置に装着する。

さらに前記画像再生装置によって、前記記録媒体に記録された電子スチル画像信号を読み出して画像再生され、テレビジョン受像機等により表示される。

この記録媒体として代表的なものに、フロッピーディスクとメモ리카ードがあり、前記メモ리카ードにあっては、電子スチル画像信号がデジタル化して記録されている。

このようなメモ리카ードは、符号化方式にもよるが、例えば50~60枚程度のデジタルスチル画像を記憶するためには、約2Mバイト程度の記憶容量が必要である。

従って半導体メモリを用いて構成した場合に、例えば1Mビットの記憶容量を持つスタティック形ランダムアクセスメモリ(SRAM: Static Random Access Memory)であれば、16個程度用

いて必要な記憶容量を確保したメモ리카ード装置が実現されている。

(発明が解決しようとしている課題)

しかし、前述したメモ리카ード装置の数多く搭載される1MビットのSRAMは、1個あたりが高価であり、該メモ리카ード装置を非常に高価なものにしている。

つまり、前記1MビットのSRAMが高価になるのは、第1の原因として、他の同レベルの記憶容量を持つDynamic Random Access Memory(DRAM)等と比較すると製造工程が複雑であり、DRAM程には大量生産されておらず、コストがあまり下がらないことにある。

さらに他には、特にSRAMに限られたことではないが、SRAMは、その素子形成時に付着したゴミや格子欠陥等によって、正常動作しない不良品が多く発生する。例えば6インチウエハーから製造可能な1MビットのSRAMは80個程度とすると、その内の良品の歩留まりが60~70%程度であることから、必然的にそのメモリチッ

プが高価なものとなることが否めない。

しかも、一般的にユーザーに供給される半導体にあつては、ダイシングによって割れを生じたチップを廃棄し、残されたメモリチップのそれぞれに含まれるメモリセルを検査し、メモリセル欠陥が存在しないメモリチップを完成品としてセレクトしている。換言すれば、メモリセルの製造時に正常動作を妨げる欠陥が存在するメモリチップ等については不良品であるとして廃棄している。この欠陥の存在に起因する不良チップの廃棄が、半導体メモリを製作する上での歩留まり低下の大きな原因となっており、その製造コストが高価格化する要因となっている。

従って、前記1MビットのSRAMの価格が急速に低価格化することは期待できない。

さらに、このような1MビットのSRAMを多数個用いてメモ리카ード装置を実現するので、その内部配線パターン(内部構造)が複雑化する上、複数のメモリチップを選択制御して情報信号の書き込み・読み出しを行うことが必要となるので、

その制御系が複雑化する等の問題もある。

そこで本発明は、多数枚分のディジタルスチル画像信号を記録するに十分な記憶容量を持つ半導体メモリで、しかも安価に実現することのできる実用性の高いメモリカード装置を提供することにある。

#### (課題を解決するための手段)

本発明は上記目的を達成するために、半導体メモリを記憶媒体とするメモリカード装置において、半導体基板の一主面上に形成されるメモリシエルの形成時に発生する正常動作を妨げる欠陥の予想される数に対応して必要とする記憶容量を有するように製造された所定ウエハサイズの半導体メモリと、前記半導体メモリから所望する情報の読み出し動作及び、該半導体メモリへの情報の書き込み動作を制御する制御手段と、前記半導体メモリに格納する情報信号に誤り訂正符号を付加して前記半導体メモリに記録する誤り訂正符号付加回路と、前記半導体メモリから読み出される前記誤り訂正符号が付加された情報信号をその誤り訂正符

号を用いて誤り訂正して出力する誤り訂正回路とによってメモリカード装置が提供される。

#### (作用)

以上のような構成の本発明によれば、歩留まり低下の原因となっているメモリシエルの形成時に発生する正常動作を妨げる欠陥のが存在するであろうことを考慮した所定ウエハサイズの半導体メモリを用いて、ディジタルスチル画像信号等の記録対象とする情報信号に対して、誤り訂正符号付加回路を用いて誤り訂正符号を付加して前記半導体メモリに記録すると共に、この半導体メモリから読み出される信号については、誤り訂正回路を用いて前記誤り訂正符号に基づく誤り訂正処理を施して前記情報信号を再生出力するようにしたメモリカード装置が提供される。

#### (実施例)

以下、図面を参照して本発明の実施例に係るメモリカード装置について説明する。

第1図は、第1実施例のメモリカード装置の構成を示すブロック図である。

まず半導体メモリ(例えば、SRAM)1は、メモリシエルの形成時に発生する正常動作を妨げる欠陥(以下、メモリシエル欠陥と称する)が存在するであろうことを考慮して、1枚の所定ウエハサイズに製造された記憶素子装置である。

この所定ウエハサイズの半導体メモリ1は、例えば、直径3インチ程度の半導体ウエハを用いて製作される場合、2Mバイト(16Mビット)程度の記憶容量を持つSRAMとして実現される。

そして前記半導体メモリ1は、読み出し/書き込み(R/W)信号線と、アドレス(ADRS)信号線と、メモリカードセレクト(CS)信号線と、アウトプットイネーブル(OE)信号線とによってコントロール部5を介して、コネクタ2に接続され、電子スチルカメラやその記録再生装置等の本体部(図示せず)に、前記コネクタ2を介して情報信号や制御信号の交信を行っている。そして、前記コネクタ2によるメモリカード装置と本体部との接続は、本体部にメモリカード装置を直接的に装着して、或いは所定の接続ケーブルを

介してなされる。

そして、半導体メモリ1への情報信号の書き込みと読み出しは、前記コネクタ2を介して本体部から与えられる前記R/W信号によりその動作モードが選択的に設定され、アドレス信号ADRSによるアドレス制御の下で行われる。

またCS信号は本体部からコネクタ2を介して与えられるメモリカードセレクト信号であり、またOE信号はアウトプットイネーブル信号である。

またこの半導体メモリ1は、本体部に接続されているときには前記コネクタ2を介して本体部から与えられる電源Vccにより駆動される。そして本体部から切り離されたときにはバックアップ制御部8の制御の下で、メモリカード装置内に組み込まれた所定のバックアップ電源により、半導体メモリ1に書き込まれた情報が消滅しない程度に駆動される。

そして、前記メモリカード装置の特徴として、前記コネクタ2を介して前記本体部から与えられる情報信号に誤り訂正符号を付加し、これを前記

半導体メモリ1に記録する為の誤り訂正符号付加回路3と、この半導体メモリ1から読み出される信号に対して前記誤り訂正符号を用いて誤り訂正処理を施し、これを前記コネクタ2を介して前記本体部に再生出力する為の誤り訂正回路4を備えている点にある。

即ち、誤り訂正符号付加回路3および誤り訂正回路4はコントロール部5の制御を受け、前記半導体メモリ1に対する信号書き込みモード/信号読み出しモードに応じて前記コネクタ2と半導体メモリ1とのデータ伝送ラインに選択的に介挿されるようになっている。尚、前記誤り訂正符号付加回路3および誤り訂正回路4の前記データ伝送ラインへの選択的な介挿は、前記誤り訂正符号付加回路3および誤り訂正回路4の各入出力端にそれぞれ設けられたバッファゲート6a、6b、7a、7bを前記コントロール部5により選択的に導通制御することによってなされる。このコントロール部5の動作は、前記コネクタ2を介して与えられるR/W信号により制御される。

正処理や、隣接する画素データ間の相関を利用した線形補間等のエラー訂正処理が行われる。

従って、前記メモリカード装置において、第2図のプロック図のエラー訂正処理の構成の一例に示すように、書き込みデータが誤り訂正符号化処理3aによって、情報信号に誤り訂正符号を付加されたものが半導体メモリ1aに記録され、この半導体メモリ1aから格納された情報信号を取り出した時に、その情報信号のメモリシエル欠陥等に起因するビット誤りを、誤り訂正回路4で補償して再生された読み出しデータを出力するように構成されている。

前記コントロール部5の動作についてさらに詳しく説明する。

前記誤り訂正符号付加回路3によって誤り訂正符号が情報信号に付加されると、その情報信号は、前記誤り訂正符号分だけ情報量が増えることになり、処理時間が増加されることになる。そこで前記コントロール部5では、半導体メモリ1に前記誤り訂正符号付加回路3の出力を書き込む際に、

しかして誤り訂正符号(error correcting code)付加回路3は、例えば、リードソロモン符号化や単一誤り又は二重誤り検出が可能なハミング符号化、若しくは、種々の誤り訂正能力、符号長に対して設計でき装置化も容易なBCH(Bose-Chaudhuri-Hocquenghem code)符号化等のアルゴリズムに、したがって、前記本体部からコネクタ2を介して、与えられる情報信号に誤り訂正符号を付加するものである。

この誤り訂正符号の付加により、前記情報信号はある冗長性を持つ信号として半導体メモリ1に書き込み記録される。

また誤り訂正回路4は、前記半導体メモリ1から読み出される信号に対して前記誤り訂正符号を用いて誤り訂正処理を施すもので、この誤り訂正処理により前記半導体メモリ1のメモリシエル欠陥等に起因するビット誤りの訂正が行われる。

また特に前記半導体メモリ1に記録される情報信号が画像信号であるような場合には、その走査間の画像の相関を利用したバースト状のエラー訂

誤り訂正符号と情報信号を該半導体メモリ1に同時(平行処理)に書き込むように、それに対応した、アドレス(ADDRESS)信号への変換を行っている。

そのため、処理時間を増やすことなく、誤り訂正符号を付加することができるのでメモリカードへの情報書き込み・読み出し時間が標準化されている通常の記録再生装置により動作できるような互換性を有するメモリ装置となる。

また、前記コントロール部5の他の動作として、前記誤り訂正符号付加回路3の処理時間に対応して、読み出し・書き込み(R/W)信号を遅延させたり、消費電力を節約するために、CSやOE信号によって、メモリカード内の回路や半導体メモリ1をスタンバイモードに設定する動作を行っている。

ところで、第1の実施例においては、半導体メモリ1にSRAMを用いて、メモリカード装置を構成したが、第2の実施例として、半導体メモリ1に、EEPROM(Electrically Erasable

Programmable Read Only Memory) を用いて構成してもよい。ただし、この時のEEPROMは不揮発性メモリであるため、バックアップ電源は不要となる。

ここで、前述したメモリセル欠陥の存在を考慮して、必要とされる記憶容量を有するように製作された所定ウエハーサイズの半導体メモリ1の具体例について述べる。

この半導体メモリ1は、例えば第3図に示すように半導体ウエハー11の一主面上に矩形領域を1つのメモリ領域11とし、このメモリ領域11の内部に複数のメモリセルをマトリックス状に形成し、これを切り出して製作される。

従って、そのメモリ領域11の内部には、その製法上の問題からゴミの付着や格子欠陥に起因するメモリセル欠陥が、僅かではあるが必ず発生することが否めない。

ちなみに従来として、一般的には、第4図に示すような、例えば、直径3インチの1枚の半導体ウエハー11上に20個程度の細分化された複数

従って、その殆どのメモリセルは正常に機能すると云える。これ故、僅かなメモリセル欠陥を許容するものとすれば、その製造歩留まりを大幅に高くすることができ、半導体メモリの製造コストを低減することが可能となる。

また前述した第3図に示すように、半導体ウエハー11の一主面上に矩形領域を1つのメモリ領域12とした場合には、そのメモリ領域12の周辺部に設けられるアドレス線等の信号入出力部を統合することが可能となるので、第4図に示すように複数のメモリチップを切り出す場合に比較して、限られた半導体ウエハー11の面積を有効に利用して数多くのメモリセルを形成することが可能となる。

つまり信号入出力部を形成するに必要な領域が少なくないので、その分、メモリセルを形成する為に割り当てる面積領域を増やすことができ、容易にその大容量化を図ることが可能となる。

このようにしてメモリセル欠陥の存在を考慮して記憶容量の大容量化を図って製作されるウエ

のメモリ領域12を格子状に形成し、前記各メモリ領域をダイシングして個々のメモリチップに切り出している。そしてダイシングによって割れを生じたチップを廃棄し、残されたメモリチップのそれぞれに含まれるメモリセルを検査し、メモリセル欠陥が存在しないメモリチップを完成品としてセレクトしている。

換言すれば、メモリセル欠陥が存在するメモリチップ等は、不良品として廃棄処分している。このメモリセル欠陥の存在に起因する不良チップの廃棄が、半導体メモリを製作する上での歩留まり低下の大きな原因となっており、その製造コストが高価格化する要因となっている。

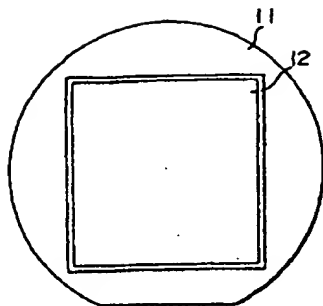
この点、メモリセル欠陥の存在を考慮して必要な記憶容量を有するように製作される前述した半導体メモリ1によれば、メモリセル欠陥により部分的に情報記録ができない部分が生じるが、メモリセルの欠陥は極めて局部的であり、一般的にはメモリセル単位で分散的に低い確率で生じるに過ぎない。

ウエハーサイズの半導体メモリ1によれば、そこに形成されたメモリセルの殆どを有効に活用して情報信号の記録を行うことが可能となる。しかも僅かなメモリセル欠陥に起因する情報信号の記録エラーに対しては前述した誤り訂正にて対処することから、これを大容量の情報信号の記録媒体として有効に活用することが可能となる。

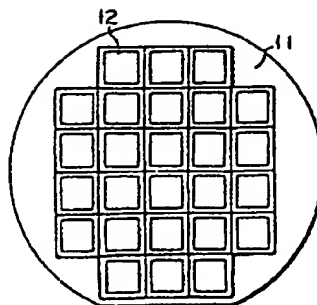
尚、ウエハーサイズの半導体メモリ1を実現するに際しては、例えば第6図に示すようにそのメモリ領域を各辺部に部分的に拡張して製作するようにしても良い。但し、この場合には、そのアドレス制御について、例えば情報信号の記録を行わない仮想的なアドレス空間を設定する等、若干の工夫を施すことが必要となる。また第7図に示すように半導体ウエハー11の矩形状に形成されたメモリ領域12の周辺部に、前述した誤り訂正符号付加回路3や誤り訂正回路4等を同時に集積形成するようにすることも可能である。

また実施例では誤り訂正符号化の方式として、例えばリードソロモン符号化等を用いれば良い

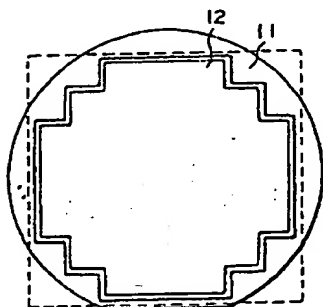




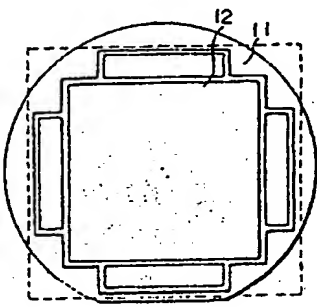
第 3 図



第 4 図



第 5 図



第 6 図